

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-097898

(43)Date of publication of application : 08.04.1997

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/265
H01L 21/3065
H01L 21/316
H01L 21/8234
H01L 27/088

(21)Application number : 07-251450

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 28.09.1995

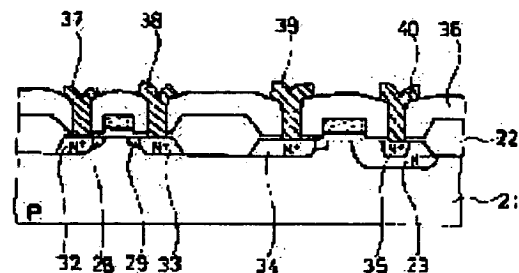
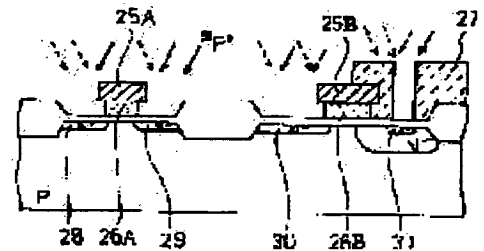
(72)Inventor : AOYAMA MASASHIGE
SUZUKI TAKUYA

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to form a microscopic and high withstand voltage MOS transistor on the same semiconductor substrate by a method wherein a low and high density source and drain layer is formed on the inside and the edge of a resist pattern by implanting ions.

SOLUTION: A gate insulating film is formed on a semiconductor substrate 21, and a gate electrode material film is formed on the gate insulating film. Besides, after a resist pattern 25A has been formed on the gate electrode material film, the gate electrode material film is etched using the resist pattern 25A as a mask, a gate electrode 26A is formed in such a manner that it can be moved back to the inside of the resist pattern 25A. A gate electrode 26A is formed. Low density source and drain layers 28 and 29 are formed in such a manner that they are extended to the inside of the resist pattern 25A by the first ion implantation in which an ion beam is inclined at a specific angle from vertical direction. Then, high density source and drain layers 32 and 33 are formed by the second ion implantation having the tilt angle smaller than the first ion implantation in such a manner that they are aligned to the edge of the resist pattern 25A.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Pat nt number]

[Dat of registration]

[Number of appeal against examiner's decision
of rejection]

[Dat of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-97898

(43) 公開日 平成9年(1997)4月8日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 L
21/336			21/265	V
21/265				L
21/3065			21/302	E
21/316			21/94	A
審査請求 未請求 請求項の数 2 O L (全 5 頁) 最終頁に続く				

(21) 出願番号 特願平7-251450

(22) 出願日 平成7年(1995)9月28日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 青山 将茂

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 鈴木 琢也

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

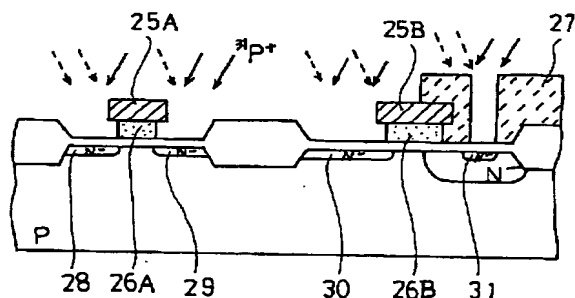
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 LDD構造のMOSトランジスタ及び高耐圧MOSトランジスタの製造方法の合理化に関する。

【解決手段】 基板(21)上にゲート絶縁膜(24)を形成しゲート絶縁膜(24)上にポリSi膜を形成する工程と、ゲート電極材料膜上にレジストパターン(25A)を形成する工程と、レジストパターン(25A)をマスクとしてゲート電極材料膜をエッチングしレジストパターン(25A)の内側に後退するようにゲート電極(26A)を形成する工程と、斜めイオン注入によりレジストパターン(25A)の内側に延在するようにN⁻ソースドレイン層(28, 29)を形成する工程と、垂直イオン注入により前記レジストパターン(25A)の端に整合するようにN⁺ソースドレイン層(32, 33)を形成する工程とを有する。



27: 第3のレジストパターン

28, 29: N⁻型ソースドレイン層30 31: N⁻型ソースドレイン層

【特許請求の範囲】

【請求項1】 半導体基板(21)上にゲート絶縁膜(24)を形成する工程と、前記ゲート絶縁膜(24)上にゲート電極材料膜を形成する工程と、前記ゲート電極材料膜上にレジストパターン(25A)を形成する工程と、レジストパターン(25A)をマスクとして前記ゲート電極材料膜をエッチングしレジストパターン(25A)の内側に後退するようにゲート電極(26A)を形成する工程と、イオンビームを垂直方向から一定角度傾斜させた第1のイオン注入により前記レジストパターン(25A)の内側に延在するように低濃度ソースドレイン層(28, 29)を形成する工程と、前記第1のイオン注入より傾斜角の小さい第2のイオン注入により前記レジストパターン(25A)の端に整合するように高濃度ソースドレイン層(32, 33)を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板(21)上にゲート絶縁膜(24)を形成する工程と、前記ゲート絶縁膜(24)上にゲート電極材料膜を形成する工程と、前記ゲート電極材料膜上に第1及び第2のレジストパターン(25A, 25B)を離間して形成する工程と、第1及び第2のレジストパターン(25A, 25B)の内側に後退するように第1及び第2のゲート電極(26A, 26B)を形成する工程と、前記第2のゲート電極(26B)に隣接する基板領域を被覆する第3のレジストパターン(27)を形成する工程と、イオンビームを垂直方向から一定角度傾斜させた第1のイオン注入により前記第1のレジストパターン(25A)の内側に延在するように低濃度ソースドレイン層(28, 29)を形成する工程と、前記第1のイオン注入より傾斜角の小さい第2のイオン注入により前記第1のレジストパターン(25A)の端に整合する高濃度ソースドレイン層(32, 33)、第2のレジストパターン(25B)の端に整合する高濃度ソース層(34)及び第3のレジストパターン(27)の端に整合する高濃度ドレイン層(35)を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、さらに詳しくは、LDD構造のMOSTランジスタ及び高耐圧MOSTランジスタの製造方法の改良に関する。

【0002】

【従来の技術】微細化されたMOSTランジスタと高耐圧MOSTランジスタを同一半導体基板上に形成する場合には、従来、以下の製造方法が採られていた。図5に示すように、P型のシリコン基板(1)上に約8000ÅのLOCOS[Local Oxidation Of Silicon](2)を形成する。そして、高耐圧MOSTランジスタのN-

-型ドレイン層(3)をあらかじめ約1100℃のリン拡散により形成しておく。その後、約700Åのゲート絶縁膜(3)を約900℃のパイロジェニック酸化により形成し、減圧CVD法によりポリシリコンを約5000Å堆積し、950℃でリン拡散を行い低抵抗化する。そのポリシリコン上に第1及び第2のレジストパターン(5A, 5B)を形成し、これをマスクとしてポリシリコンをエッチングして第1及び第2のゲート電極(6A, 6B)を形成する。このエッチングでは、ポリシリコン両側のゲート絶縁膜をエッチングし約200Å残す。

【0003】次に、図6に示すように、高耐圧MOSTランジスタ形成領域を第3のレジストパターン(7)で被覆し、リンイオン(31P+)を加速電圧100KeV、注入量2E13/cm²の条件下でイオン注入し、微細化MOSTランジスタのN-型ソースドレイン層(8, 9)を形成する。次に、図7に示すように、第3のレジストパターン(7)を除去した後にCVD酸化膜(10)を常圧CVD法により約1500Åの厚さに堆積する。

【0004】そして、図8に示すように、CVD酸化膜(10)を異方性エッチングし、スペーサ酸化膜(11)を第1及び第2のゲート電極(6A, 6B)の側壁に形成する。この後900℃、N₂/O₂雰囲気中で80分の再酸化を行い、スペーサエッチングで失われたゲート電極の両側の酸化膜を回復する。次に、第2のゲート電極(6B)に隣接する基板領域を被覆しN+型ドレイン層(16)の形成領域に開口を有する第4のレジストパターン(12)を形成し、砒素イオン(75P+)を加速電圧80KeV、注入量5E15/cm²の条件下でイオン注入し、微細化MOSTランジスタのN+型ソースドレイン層(13, 14)、高耐圧MOSTランジスタのN+型ソースドレイン層(15, 16)を形成する。

【0005】このように、上記の半導体装置の製造方法によれば、LDD構造による微細化MOSTランジスタとオフセットゲート構造による高耐圧MOSTランジスタとを同一シリコン基板上に形成することができる。

【0006】

【発明が解決しようとする課題】しかしながら、従来の半導体装置の製造方法ではLDD構造を形成するためにスペーサ酸化膜形成工程があり、しかもN-型ソースドレイン形成用、N+型ソースドレイン形成用にそれぞれフォトリソ工程を必要としていたので、工程が長く煩雑であった。

【0007】

【課題を解決するための手段】上記課題を解決するために、本発明は、半導体基板(21)上にゲート絶縁膜(24)を形成する工程と、前記ゲート絶縁膜(24)上にゲート電極材料膜を形成する工程と、前記ゲート電極材料膜上にレジストパターン(25A)を形成する工

程と、レジストパターン(25A)をマスクとして前記ゲート電極材料膜をエッチングしレジストパターン(25A)の内側に後退するようにゲート電極(26A)を形成する工程と、イオンビームを垂直方向から一定角度傾斜させた第1のイオン注入により前記レジストパターン(25A)の内側に延在するように低濃度ソースドレイン層(28, 29)を形成する工程と、前記第1のイオン注入より傾斜角の小さい第2のイオン注入により前記レジストパターン(25A)の端に整合するように高濃度ソースドレイン層(32, 33)を形成する工程とを有する。

【0008】また、本発明は、半導体基板(21)上にゲート絶縁膜(24)を形成する工程と、前記ゲート絶縁膜(24)上にゲート電極材料膜を形成する工程と、前記ゲート電極材料膜上に第1及び第2のレジストパターン(25A, 25B)を離間して形成する工程と、第1及び第2のレジストパターン(25A, 25B)の内側に後退するように第1及び第2のゲート電極(26A, 26B)を形成する工程と、前記第2のゲート電極(26B)に隣接する基板領域を被覆する第3のレジストパターン(27)を形成する工程と、イオンビームを垂直方向から一定角度傾斜させた第1のイオン注入により前記第1のレジストパターン(25A)の内側に延在するように低濃度ソースドレイン層(28, 29)を形成する工程と、前記第1のイオン注入より傾斜角の小さい第2のイオン注入により前記第1のレジストパターン(25A)の端に整合する高濃度ソースドレイン層(32, 33)、第2のレジストパターン(25B)の端に整合する高濃度ソース層(34)及び第3のレジストパターン(27)の端に整合する高濃度ドレイン層(35)を形成する工程とを有する。

【0009】

【発明の実施の形態】本発明の実施の形態を図1乃至図4を参照しながら説明する。まず、図1に示すように、P型のシリコン基板(21)上に約8000ÅのLOCOS[Local Oxidation Of Silicon](22)を形成する。そして、高耐圧MOSトランジスタのN-型ドレイン層(23)をあらかじめ約1100°Cのリン拡散により形成しておく。その後、約700Åのゲート絶縁膜(24)を約900°Cのパイロジェニック酸化により形成し、610°Cの減圧CVD法によりポリシリコンを約5000Å堆積し、950°Cでリン拡散を行い低抵抗化する。そのポリシリコン上に第1及び第2のレジストパターン(25A, 25B)を形成し、これをマスクとしてポリシリコンをエッチングして、第1及び第2のレジストパターン(25A, 25B)の内側に後退するように、第1及び第2のゲート電極(26A, 26B)を形成する。

【0010】このエッチングでは、SF₆, He, Cl₂の混合ガスを用い、約20%のオーバーエッチングを行うことに

より、約0.3μmのエッチング変換差が得られる。また、ポリシリコンとSiO₂の選択比は約20であるため、ポリシリコンの両側のゲート絶縁膜(SiO₂)は、ほとんどエッチングされない(約650Å残る)。次に、図2に示すように、第2のゲート電極(26B)に隣接する数ミクロンの基板領域を被覆する第3のレジストパターン(27)を形成する。このレジストパターンはN+型ドレイン層(35)を第2のゲート電極(26B)から離間して形成し、高耐圧を確保するためのものであり、N+型ドレイン層(35)形成用のイオン注入窓が設けられている。そして、シリコン基板(21)に対して垂直方向から約10°イオンビームを傾斜させた第1のイオン注入(斜めイオン注入)により、第1のレジストパターン(25A)の内側に延在するように微細化MOSTランジスタのN-型ソースドレイン層(28, 29)を形成する。このイオン注入はソースドレインが左右対称となるように、リンイオン(31P+)を左右方向(0°, 180°)から2回に分けて、注入量1E13/cm²、200KeVの加速電圧で注入する。このとき、高耐圧MOSTランジスタについても、N-型ソースドレイン層(30, 31)が形成される。

【0011】次に、図3に示すように、前記第1のイオン注入よりも傾斜角の小さい第2のイオン注入(例えば、垂直イオン注入)により前記第1のレジストパターン(25A)の端に整合するN+型ソースドレイン層(32, 33)、第2のレジストパターン(25B)の端に整合するN+型ソース層(34)及び第3のレジストパターン(27)の端に整合するN+型ドレイン層(35)を形成する。

【0012】このイオン注入に先立ち、レジストパターン(2A, 25B, 27)をマスクとしてゲート電極の両側の約650ÅのSiO₂膜をAr, CHF₃, CF₄の混合ガスを用いてエッチングし約200Åとする。これにより、質量数の大きい砒素イオン(75As+)のイオン注入を低加速電圧で行うことができる。垂直イオン注入は、砒素イオン(75As+)を用い、例えば注入量5E15/cm²、加速電圧80KeVの条件で行う。

【0013】これにより、LDD構造の微細化MOSTランジスタ(通常耐圧)とオフセットゲート型の高耐圧MOSTランジスタが形成される。本実施の形態によれば、従来例のようにスペーサ酸化膜を形成するのではなく、イオン注入の傾斜角を変えることにより、LDD構造を実現しているため、従来例に比してフォトリソ工程も1回少なく済む。

【0014】この後は、図4に示すように、レジストパターン(2A, 25B, 27)をすべて除去し、BPSG膜等からなる層間絶縁膜(36)を形成し、微細化MOSTランジスタのN+型ソースドレイン層(32, 33)、高耐圧型MOSTランジスタのN+型ソースドレイン層(32, 33)にそれぞれコンタクトするA1電

極層(37, 38, 39, 40)を形成する。

【0015】

【発明の効果】以上説明したように、本発明によれば、LDD構造の微細化MOSトランジスタ(通常耐圧)とオフセットゲート型の高耐圧MOSトランジスタを同一半導体基板上に形成するに際して、スペーサ酸化膜の形成工程を省略でき、またフォトリソ工程も1回少なくできるという効果を有する。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る半導体装置の製造方法を示す第1の断面図である。

【図2】本発明の実施の形態に係る半導体装置の製造方法を示す第2の断面図である。

【図3】本発明の実施の形態に係る半導体装置の製造方

法を示す第3の断面図である。

【図4】本発明の実施の形態に係る半導体装置の製造方法を示す第4の断面図である。

【図5】従来例に係る半導体装置の製造方法を示す第1の断面図である。

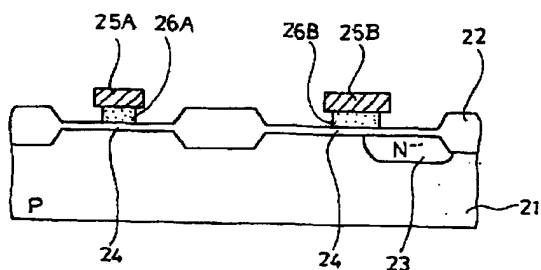
【図6】従来例に係る半導体装置の製造方法を示す第2の断面図である。

【図7】従来例に係る半導体装置の製造方法を示す第3の断面図である。

【図8】従来例に係る半導体装置の製造方法を示す第4の断面図である。

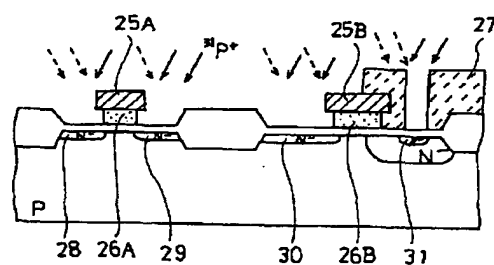
【図9】従来例に係る半導体装置の製造方法を示す第5の断面図である。

【図1】



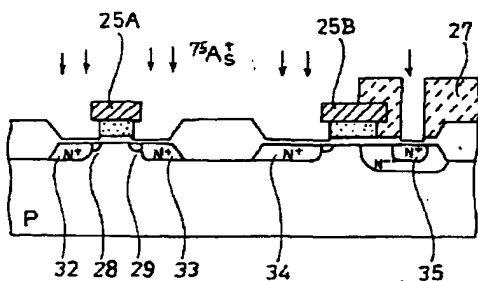
21: シリコン基板
22: LOCOS
23: N⁺型ドレイン層
24: ゲート絶縁膜
25A, 25B: 第1, 第2のレジストパターン
26A, 26B: 第1, 第2のゲート電極

【図2】



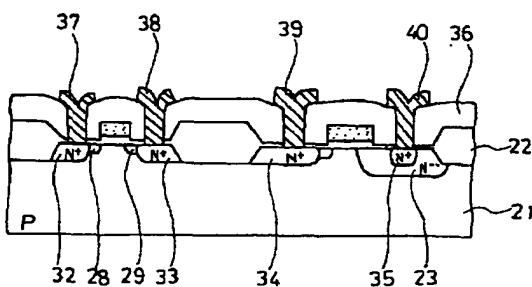
27: 第3のレジストパターン
28, 29: N⁺型ソースドレイン層
30, 31: N⁺型ソースドレイン層

【図3】



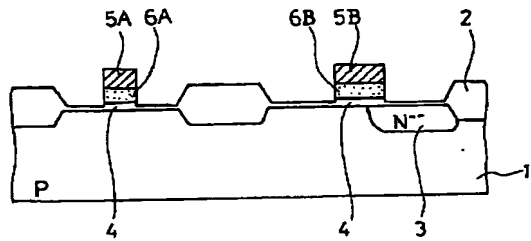
32, 33: N⁺型ソースドレイン層
34, 35: N⁺型ソースドレイン層

【図4】

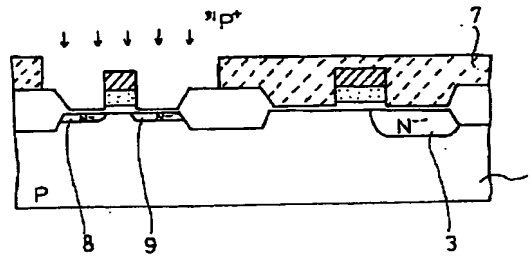


36: 層間絶縁膜
37, 38, 39, 40: Al電極

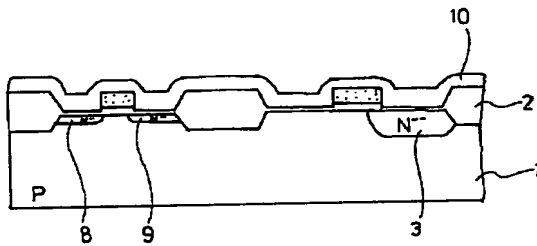
【図5】



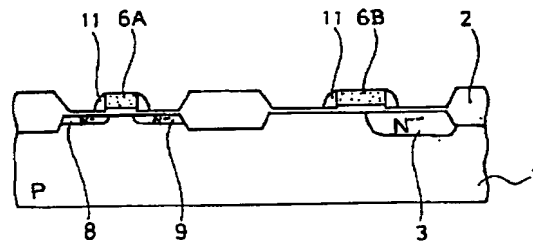
【図6】



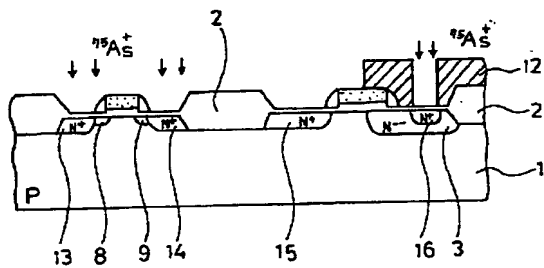
【図7】



【図8】



【図9】



フロントページの続き

(51)Int. Cl.⁶
H01L 21/8234
27/088

識別記号 庁内整理番号

FI
H01L 27/08

技術表示箇所

102B